

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:	Juergen SCHMIDT	JC05 Rec'd PCT/PTO 13 SEP 2005
Application No.:	Not yet assigned	Group Art Unit: Not yet assigned
Filed:	September 13, 2005	Examiner: Not yet assigned
Attorney Docket No.:	01012-1026	
Client Docket No.:	P27723/US	

For: PHASE/FREQUENCY-LOCKED LOOP AND PHASE-FREQUENCY
COMPARATOR THEREFOR

Assistant Commissioner for Patents
Alexandria, VA 22313-1450

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119(a)-(d)

Dear Sir:

The benefit of any foreign patent application(s) listed below is hereby claimed under Title
35, United States Code, Section 119(a)-(d):


German Patent App. No. 103 11 049.6, filed March 13, 2003

PCT App. No. PCT/EP2004/001154, filed February 9, 2004

Respectfully Submitted,

DITTHAVONG & CARLSON, P.C.

9/13/05
Date


Phouphanomketh Ditthavong
Attorney for Applicant(s)
Reg. No. 44658

Phouphanomketh Ditthavong
10507 Braddock Road
Suite A
Fairfax, VA 22032
(703) 425-8508

BEST AVAILABLE COPY

P27723/DE

Phasen-/Frequenzregelkreis und Phasen-/Frequenz-Komparator hierfür

5

Die Erfindung betrifft einen stabilen digitalen Phasen-/Frequenz-Komparator für einen Phasen-/Frequenzregelkreis mit neuartiger Reset-Logik, welcher für eine Implementierung in programmierbaren Logikbausteinen (z.B. FPGAs) optimiert ist.

10

Zur Erzeugung von exakten Frequenzsignalen werden im allgemeinen sogenannte PLL-Schaltungen (PLL: phase locked loops) verwendet. In einer PLL-Schaltung wird die Frequenz eines Frequenzoszillators so eingestellt, dass sie mit einer vorgegebenen Referenzfrequenz derart übereinstimmt, dass die Phasenverschiebung zwischen der Ausgangsfrequenz des Frequenzoszillators und der Referenzfrequenz stabil bzw. konstant bleibt. Prinzipiell kann zwischen analogen und digitalen PLL-Schaltungen unterschieden werden. Bei den digitalen PLL-Schaltungen, die im folgenden weiterbetrachtet werden, beschränkt sich die digitale Realisierung meist auf den Phasen-/Frequenzkomparator bzw. den optional realisierten Frequenzteiler.

25

Der Phasen-/Frequenz-Komparator hat die Aufgabe, die Frequenz eines Ausgangsfrequenzsignals eines Frequenzoszillators in der PLL-Schaltungen mit der Frequenz eines vorgegebenen Referenzfrequenz-Signals zu vergleichen und bei einer Frequenzabweichung ein oder mehrere Stellsignale zu generieren, die die Frequenz des Ausgangsfrequenz-Signals des Frequenzoszillators in der PLL-Schaltung entsprechend nachregeln. Die digitale Realisierung eines Phasen-/Frequenz-Komparators erfolgt meist entweder durch ein EXOR-Gatter, ein flankengetriggertes JK-Flipflop oder einen Phasen-Frequenz-Detektor mittels flankengetriggelter D-Flip-Flop mit Rücksetzlogik.

35

Der Phasen-Frequenz-Detektor mittels flankengetriggerten D-Flip-Flops mit Rücksetzlogik ist eine weit verbreitete digitale Realisierungsvariante für Phasen-/Frequenz-Komparatoren, da sie die geringsten Anforderungen an die Eingangssignale stellt (das EXOR-Gatter erfordert symmetrische Eingangssignale, das flankengetriggerte JK-Flipflop Eingangssignale ohne Schwund (Fading)).

Beim Phasen-Frequenz-Detektor mittels flankengetriggerten Flip-Flops mit Rücksetzlogik besteht, wie z.B. aus Roland E. Best, "Phase Locked Loops", 3rd Edition, McGraw Hill, 1997, ISBN 0-07-006051-7, Seiten 91-101, bekannt, das Stellsignal zum Nachregeln der Frequenz des Frequenzoszillators aus zwei Signalen, einem ersten Signal zum Hochregeln der Frequenz des Frequenzoszillators im Falle einer positiven Frequenzabweichung zwischen Referenzfrequenz und Ausgangsfrequenz und einem zweiten Signal zum Herunterregeln der Frequenz des Frequenzoszillators im Falle einer negativen Frequenzabweichung zwischen Referenzfrequenz und Ausgangsfrequenz. Diese beiden Stellsignale werden jeweils von einem flankengetriggerten D-Flip-Flop erzeugt, die jeweils vom Referenzfrequenzsignal bzw. vom Ausgangsfrequenzsignal gesetzt werden. Aufgrund der möglichen Phasen- und Frequenzbeziehungen des Referenzfrequenzsignals zum Ausgangsfrequenzsignal existieren insgesamt vier mögliche Zustände der beiden D-Flipflop-Ausgänge (00, 01, 10, 11). Da der letzte Zustand der beiden Flip-Flop-Ausgänge (11) nicht sinnvoll ist (gleichzeitiges Hoch- und Herunterregeln der Frequenz des Frequenzoszillators), werden bei Auftreten dieses Zustandes über eine Rücksetzlogik die beiden Flip-Flops zurückgesetzt. Hierzu wird im allgemeinen ein UND-Gatter verwendet, dessen Eingänge mit den Ausgängen der beiden Flip-Flops und dessen Ausgang mit den Rücksetz-Eingängen der beiden Flip-Flops verbunden sind.

Damit weist der Phasen-/Frequenz-Komparator eine asynchrone, rückgekoppelte Struktur auf, deren Betriebs-

verhalten folgendermaßen charakterisiert ist: Im Phasen-Frequenz-Detektor mit flankengetriggerten D-Flip-Flops und obiger Rücksetzlogik wird im Falle einer positiven Frequenzabweichung (Referenzfrequenz $f_{soll} > \text{Ausgangsfrequenz } f_{ist}$) im statistischen Mittel der Ausgang des mit dem Referenzfrequenz-Signal gesetzten Flip-Flops (Signal: Stell_{oben}) länger gesetzt als das mit dem Ausgangsfrequenzsignal gesetzte Flip-Flop (Signal: Stell_{unten}). Im Falle einer negativen Frequenzabweichung (Referenzfrequenz $f_{soll} < \text{Ausgangsfrequenz } f_{ist}$) wird im statistischen Mittel der Ausgang des mit dem Ausgangsfrequenzsignal gesetzten Flip-Flops länger gesetzt als das mit dem Referenzfrequenzsignal gesetzte Flip-Flop. Diese Zusammenhänge sind für positive und negative Frequenzabweichungen $f_{soll}-f_{ist}$ sowie für positive und negative Phasenabweichungen $\phi_{soll}-\phi_{ist}$ zwischen Referenzfrequenz-Signal und Ausgangsfrequenz-Signal in den Figuren 1A bis 1D dargestellt (zur Verdeutlichung werden in den Diagrammen extreme Frequenz- und Phasenabweichungen vorausgesetzt).

Wird ein derartiger digitaler Phasen-/Frequenz-Komparator mit programmierbaren Logikbausteinen (z.B. FPGAs, PALs, LCAs) realisiert, kann es zu folgenden Problemen kommen:

Die beiden flankengetriggerten D-Flip-Flops werden unter Umständen nicht exakt gleichzeitig gelöscht. Unterschiedliche Laufzeiten der Rücksetzsignale aufgrund unterschiedlicher Leitungslängen von der Rücksetzlogik zu den Rücksetz-Eingängen der flankengetriggerten D-Flip-Flops sowie unterschiedliche Löscheinzeiten der beiden flankengetriggerten D-Flip-Flops können die Ursache dafür sein. Im Extremfall wird ein flankengetriggertes D-Flip-Flop gar nicht zurückgesetzt, da aufgrund deutlicher Laufzeit- und Löscheinzeitunterschiede das Rücksetz-Signal des noch nicht gelöschten flankengetriggerten D-Flip-Flops aufgrund des Rücksetzens des anderen flankengetriggerten D-Flip-Flops bereits vor Beendigung des Rücksetzvorgangs wieder zurückgenommen wird. Derartige Vorgänge, insbesondere der

genannte Extremfall, treten im allgemeinen vergleichsweise unwahrscheinlich auf, sind jedoch in programmierbaren Logik-Bausteinen bei einer ungünstigen Platzierung der einzelnen Logikeinheiten nicht auszuschließen.

5

Der Anwender besitzt bei der Programmierung der Logikbausteine im allgemeinen nur beschränkten Einfluss auf die Laufzeiten der einzelnen Signale bzw. auf die Löschzeiten der Flip-Flops, so dass bei Auftreten
 10 derartiger Unregelmäßigkeiten das Regelverhalten des PLL-Regelkreises nicht mehr exakt kontrollierbar ist. Zwischen den beiden Stellsignalen des digitalen Phasen-/Frequenz-Komparators und der Frequenzabweichung zwischen Referenzfrequenz und Ausgangsfrequenz besteht also kein
 15 exakter deterministischer Zusammenhang mehr. Dies führt zu unerwünschten Sprüngen in der Frequenz am Ausgang des Frequenzoszillators der PLL-Schaltung sowie zu Phasendriften zwischen Referenzfrequenz und Ausgangs-
 20 regelkreises, die die Regelgüte der PLL-Schaltung deutlich reduzieren, können im allgemeinen nicht ausgeregelt werden und können in Extremfall zur Instabilität des Regelkreises führen.

25 Der Erfindung liegt daher die Aufgabe zugrunde, für einen digitalen Phasen-/Frequenzregelkreis eine geeignete Rücksetzlogik für den Phasen-/Frequenz-Komparator, der mit flankengetriggerten Speichergliedern (D-Flip-Flops) aufgebaut ist, zu schaffen, um trotz auftretender
 30 Laufzeit-Effekte bei einer digitalen Realisierung mittels beispielsweise programmierbarer Logikbausteine eine deterministische und stabile Phasen-/Frequenzregelung zu erzielen.

35 Die Aufgabe der Erfindung wird durch die Merkmale eines Phasen-/Frequenzregelkreises nach Anspruch 1 und durch die Merkmale eines Phasen-/Frequenzkomparators nach Anspruch 9 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Zur Erzielung definiert zuverlässiger Löschvorgänge der beiden flankengetriggerten Speicherglieder, z.B. D-Flip-Flops, wird anstelle eines statischen Gatterbausteins zur Gewinnung des Rücksetzsignals aus den Ausgangssignalen der flankengetriggerten Speicherglieder (D-Flip-Flops) ein digitales Speicherglied verwendet. Hierzu kommt beispielsweise und vorzugsweise ein asynchrones pegelgetriggertes RS-Flip-Flop zum Einsatz, das erst gesetzt wird, wenn beide Ausgänge der beiden erst genannten flankengetriggerten Speicherglieder (D-Flip-Flops) gesetzt sind. Das Rücksetzsignal der beiden flankengetriggerten Speicherglieder (D-Flip-Flops) wird erst dann zurückgesetzt, wenn beide flankengetriggerten Speicherglieder (D-Flip-Flops) zurückgesetzt sind. Somit wird gewährleistet, dass der Rücksetzvorgang beider flankengetriggerten Speicherglieder (D-Flip-Flops) definiert zum Abschluss kommt.

In den abhängigen Ansprüchen werden Ausführungsformen der Rücksetzlogik für invertierte wie auch nicht-invertierte Logik aufgeführt.

Zwei Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und werden im Folgenden näher beschrieben. Es zeigen:

Fig. 1A, 1B, 1C, 1D eine Darstellung der Signale beim Phasen-/Frequenz-Detektor für unterschiedliche Frequenz- und Phasen-Abweichungen;

Fig. 2 ein Blockdiagramm eines Phasen-/Frequenz-Regelkreises;

Fig. 3 ein Blockdiagramm eines digitalen Phasen-/Frequenz-Komparators;

Fig. 4 ein Blockdiagramm eines ersten Ausführungsbeispiels einer Rücksetzlogik und

5 Fig. 5 ein Blockdiagramm eines zweiten Ausführungsbeispiels einer Rücksetzlogik.

Die erfindungsgemäße Rücksetzlogik für einen digitalen Phasen-/Frequenz-Komparator wird nachfolgend unter Bezugnahme auf Fig. 2 bis Fig. 5 beschrieben.

In Fig. 2 ist schematisch das Blockdiagramm eines Phasen-/Frequenz-Regelkreises (PLL-Regelkreis) 1 dargestellt. Er besteht aus einem Frequenzteiler 2, an dessen Eingang ein Referenzfrequenz-Signal 3 anliegt. Die Frequenz des Referenzfrequenz-Signals 3 wird im Frequenzteiler 2 um den Faktor M geteilt. Das Referenzfrequenz-Signal 4 mit der um den Faktor M geteilten Frequenz wird am Ausgang des Frequenzteilers 2 ausgegeben. Der Phasen-/Frequenz-Regelkreis 1 besitzt einen zweiten Frequenzteiler 5, der die Frequenz des an seinem Eingang anliegenden Ausgangsfrequenz-Signals 6 um den Faktor N teilt. Das Ausgangsfrequenz-Signal 7 mit der um den Faktor N geteilten Frequenz wird am Ausgang des Frequenzteilers 5 ausgegeben. Durch geeignete Wahl von M und N ist dafür zu sorgen, dass das um den Faktor M frequenzgeteilte Referenzfrequenz-Signal 3 und das um den Faktor N frequenzgeteilte Ausgangsfrequenz-Signal 6 im stationären (eingeschwungenen) Zustand des Phasen-/Frequenz-Regelkreises 1 dieselbe Frequenz haben. Sowohl Frequenzteiler 2 wie auch Frequenzteiler 5 sind optionale Funktionsblöcke innerhalb des Phasen-/Frequenz-Regelkreises.

35

Das optional in den Frequenzteilern 2 bzw. 3 in seiner Frequenz geteilte Referenzfrequenzsignal 4 und Ausgangsfrequenz-Signal 7 wird an die jeweiligen Eingänge eines Phasen-/Frequenz-Komparators 8 geführt. Im Phasen-

/Frequenz-Komparator 8 erfolgt ein Vergleich der beiden Frequenzen bzw. Phasen des Referenzfrequenz-Signals 4 und des Ausgangsfrequenz-Signals 7. Der Vergleich führt zu einer Stellgröße 9 zur Nachregelung eines in der Regel strom- oder spannungsgesteuerten Frequenzoszillators 10. Die Stellgröße 9 besteht aus den beiden Stellsignalen Stelloben 9A zum Hochregeln der Frequenz des Frequenzoszillators 10 und Stellunten 9B zum Herunterregeln der Frequenz des Frequenzoszillators 10.

Die Stellgröße 9 mit ihren beiden Stellsignalen Stelloben 9A und Stellunten 9B werden an den Eingang eines Schleifenfilters 11 geführt. Das Schleifenfilter 11 weist ein bestimmtes charakteristisches dynamisches Verhalten auf, mit dem es die Dynamik des Phasen-/Frequenz-Regelkreises im Hinblick auf die Stabilität gezielt beeinflusst. Das Ausgangssignal 12 des Schleifenfilters 11 wird an den Eingang des Frequenzoszillators 10 zur Regelung der Frequenz des Ausgangsfrequenz-Signals 6 geführt.

Somit wird die Frequenz des Ausgangsfrequenz-Signals 6 in Abhängigkeit der Regelkreisverstärkung des Phasen-/Frequenz-Regelkreises 1, die unter anderem von den Teilungsfaktoren N und M der Frequenzteiler 2 und 5 bestimmt ist, entsprechend dem zeitlichen Verlauf der Frequenz des Referenzfrequenz-Signals 3 geregelt. Das dynamische Verhalten des Phasen-/Frequenz-Regelkreises 1 bei zeitlicher Änderung der Frequenz des Referenzfrequenz-Signals 3 oder bei Auftreten einer den Phasen-/Frequenz-Regelkreises 1 beeinflussenden Störung wird durch die Dynamik der einzelnen Funktionsblöcke im Phasen-/Frequenz-Regelkreis 1, insbesondere des Schleifenfilters 11 und des Frequenzoszillators 10, bestimmt.

Während das Schleifenfilter 11 und der Frequenzoszillator 10 oft analog realisierte Funktionseinheiten darstellen, werden die Frequenzteiler 2 und 5 und der Phasen-/Frequenz-Komparator 8 analog oder digital realisiert. Bei

der digitalen Realisierung wird im Folgenden der in der überwiegenden Mehrzahl der Anwendungen eingesetzte Phasen-Frequenz-Detektor (PFD) mit flankengetriggerten D-Flip-Flops und Rücksetzlogik weiter beschrieben.

5

Das Blockschaltbild des Phasen-Frequenz-Detektor (PFD) ist in Fig. 3 dargestellt. Der PFD besteht aus den beiden flankengetriggerten Speichergliedern 13 und 14, vorzugsweise flankengetriggerte D-Flip-Flops. Beim flankengetriggerten D-Flip-Flop 13 wird bei einer positiven Flanke des optional im Frequenzteiler 2 frequenzgeteilten Referenzfrequenz-Signals 4 am Takteingang Clk der am Eingang D anliegende Pegel, der konstant auf logisch "1" gesetzt ist, auf den Ausgang Q geschaltet. Das am Ausgang Q des D-Flip-Flops 13 anliegende Stellsignal Stelloben 9a dient zum Hochregeln der Frequenz des Frequenzoszillators 10. Analog wird beim flankengetriggerten D-Flip-Flop 14 bei einer positiven Flanke des optional im Frequenzteiler 5 frequenzgeteilten Ausgangsfrequenz-Signals 7 am Takteingang Clk der am Eingang D anliegende Pegel, der konstant auf logisch "1" gesetzt ist, auf den Ausgang Q geschaltet. Das am Ausgang Q des D-Flip-Flops 14 anliegende Stellsignal Stellunten 9b dient zum Herunterregeln der Frequenz des Frequenzoszillators 10. Die beiden Stellsignale Stelloben 9a und Stellunten 9b werden an die Eingänge der Rücksetzlogik 15 geführt.

Nach dem Stand der Technik besteht die Rücksetzlogik 15 aus einem UND-Gatter. Die Rücksetzlogik 15 generiert ein Rücksetzsignal 16, das als Rücksetzsignal 16A an den Rücksetz-Eingang R des D-Flip-Flops 13 und als Rücksetzsignal 16B an den Rücksetz-Eingang R des D-Flip-Flops 14 geführt wird. Sind also die beiden Ausgänge Q der beiden D-Flip-Flops 13 und 14 gleichzeitig gesetzt, so ist auch der Ausgang der Rücksetzlogik 15 aktiviert, womit die beiden D-Flip-Flops 13 und 14 jeweils über die Rücksetzsignale 16A und 16B an den Rücksetzeingängen R zurückgesetzt werden.

In einem ersten Ausführungsbeispiel der Rücksetzlogik 15, die in Fig. 4 dargestellt ist, wird ein asynchrones pegelgetriggertes RS-Flip-Flop 17 verwendet, das eine inverse (= low-aktiv) Logik aufweist. Der Setzeingang S des asynchronen pegelgetriggerten RS-Flip-Flops 17 wird vom Ausgangssignal 18 eines invertierten UND-Gatters 19 gespeist. An die Eingänge des invertierten UND-Gatters 19 werden die beiden Stellsignale Stell_{oben} 9A und Stell_{unten} 9B geführt. An den Rücksetzeingang R des asynchronen pegelgetriggerten RS-Flip-Flops 17 wird das Ausgangssignal 20 des ODER-Gatters 21 geführt. Die beiden Eingänge des ODER-Gatters 21 werden von den beiden Stellsignalen Stell_{oben} 9A und Stell_{unten} 9B gespeist. Am Ausgang Q des asynchronen pegelgetriggerten RS-Flip-Flops 17 wird das Rücksetzsignal 16 erzeugt. Zur Realisierung der inversen Logik weist das asynchrone pegelgetriggerte RS-Flip-Flop 17 ein invertiertes UND-Gatter 22 auf, dessen Ausgang an den Ausgang Q geschaltet ist und dessen Eingänge vom Eingang S und vom Ausgang eines weiteren invertierten UND-Gatters 23 gespeist werden. Die Eingänge des weiteren invertierten UND-Gatters 23 werden vom Rücksetzeingang R und vom Ausgang des ersten invertierten UND-Gatters 22 gespeist.

Sind die beiden Stellsignale Stell_{oben} 9A und Stell_{unten} 9B gleichzeitig aktiviert (Zustand "1"), so wird das Ausgangssignal 18 des invertierten UND-Gatters 19 und damit der Setzeingang S des asynchronen pegelgetriggerten RS-Flip-Flops 17 aktiviert (auf Zustand "0" gesetzt). Gleichzeitig ist das Ausgangssignal 20 des ODER-Gatters 21 und damit der Rücksetzeingang R des asynchronen pegelgetriggerten RS-Flip-Flops 17 deaktiviert (auf Zustand "1" gesetzt). Aufgrund der inversen Logik des RS-Flip-Flops 17 ist der Ausgang Q und damit das Rücksetzsignal 16 gesetzt. Sind dagegen die beiden Stellsignale Stell_{oben} 9A und Stell_{unten} 9B gleichzeitig deaktiviert (Zustand "0"), so ist das Ausgangssignal 18 des invertierten UND-Gatters 19 und damit der Setzeingang S des RS-Flip-Flops 17 auf den Zustand "1" gesetzt. Das

Ausgangssignal 20 des ODER-Gatters 21 und damit der Rücksetzeingang R des RS-Flip-Flops 17 ist auf den Zustand "0" gesetzt. Der Ausgang Q des RS-Flip-Flops 17 wird aufgrund seiner inversen Logik zurückgesetzt.

5

Somit ist gewährleistet, dass das Rücksetzsignal 16 dann gesetzt wird, wenn die beiden Stellsignale Stell_{oben} 9A und Stell_{unten} 9B gesetzt sind. Ein Rücksetzen des Rücksetzsignals 16 erfolgt erst dann, wenn beide
10 Stellsignale Stell_{oben} 9A und Stell_{unten} 9B gleichzeitig zurückgesetzt sind. Damit kann die Frequenz des Frequenz-
oszillators 10 entsprechend der Belegung der Stellsignale Stell_{oben} 9A und Stell_{unten} 9B nachgeregelt werden, ohne
unerwünschte Frequenzsprünge und damit Instabilitäten im
15 Phasen-/Frequenz-Regelkreis zu erzeugen. Der PLL-Regelkreis weist damit ein kontrollierbares Verhalten auf.

In einem zweiten Ausführungsbeispiel der Rücksetzlogik 15, die in Fig. 5 dargestellt ist, wird ein asynchrones pegel-
20 getriggertes RS-Flip-Flop 24 verwendet, das eine nicht-inverse Logik aufweist. Der Setzeingang S des asynchronen
pegelgetriggerten RS-Flip-Flops 24 wird vom Ausgangssignal 25 eines UND-Gatters 26 gespeist. An die Eingänge des UND-
Gatters 26 werden die beiden Stellsignale Stell_{oben} 9A und
25 Stell_{unten} 9B geführt. An den Rücksetzeingang R des asynchronen pegelgetriggerten RS-Flip-Flops 24 wird das
Ausgangssignal 27 des invertierten ODER-Gatters 28 geführt. Die beiden Eingänge des invertierten ODER-Gatters
28 werden von den beiden Stellsignalen Stell_{oben} 9A und
30 Stell_{unten} 9B gespeist. Am Ausgang Q des asynchronen
pegelgetriggerten RS-Flip-Flops 24 wird das Rücksetzsignal 16 erzeugt. Zur Realisierung der nicht-inversen Logik
weist das asynchrone pegelgetriggerte RS-Flip-Flop 24 ein
invertiertes ODER-Gatter 29 auf, dessen Ausgang an den
35 Ausgang Q geschaltet ist und dessen Eingänge vom Eingang S und vom Ausgang eines weiteren invertierten ODER-Gatters
30 gespeist werden. Die Eingänge des weiteren invertierten ODER-Gatters 30 werden vom Rücksetzeingang R und vom
Ausgang des ersten invertierten ODER-Gatters 29 gespeist.

Sind die beiden Stellsignale Stell_{oben} 9A und Stell_{unten} 9B gleichzeitig aktiviert (Zustand "1"), so wird das Ausgangssignal 25 des UND-Gatters 26 und damit der Setzeingang S des asynchronen pegelgetriggerten RS-Flip-Flops 24 aktiviert (Zustand "1"). Gleichzeitig ist das Ausgangssignal '27 des invertierten ODER-Gatters 28 und damit der Rücksetzeingang R des asynchronen pegelgetriggerten RS-Flip-Flops 24 nicht gesetzt (Zustand "0"). Aufgrund der nicht-invertierten Logik des RS-Flip-Flops 24 ist der Ausgang Q und damit das Rücksetzsignal 16 gesetzt. Sind dagegen die beiden Stellsignale Stell_{oben} 9A und Stell_{unten} 9B gleichzeitig deaktiviert (Zustand "0"), so ist das Ausgangssignal 25 des UND-Gatters 26 und damit der Setzeingang S des RS-Flip-Flops zurückgesetzt (Zustand "0"). Das Ausgangssignal 27 des invertierten ODER-Gatters 28 und damit der Rücksetzeingang R des RS-Flip-Flops 24 ist aktiviert (Zustand "1"). Der Ausgang Q des RS-Flip-Flops 24 wird aufgrund seiner nicht-invertierten Logik zurückgesetzt.

Auch in diesem Ausführungsbeispiel mit einem asynchronen pegelgetriggerten RS-Flip-Flop 24 mit nicht-invertierter Logik ist gewährleistet, dass das Rücksetzsignal 16 nur dann gesetzt ist, wenn die beiden Stellsignale Stell_{oben} 9A und Stell_{unten} 9B gleichzeitig gesetzt sind. Ein Rücksetzen des Rücksetzsignals 16 erfolgt auch dann erst, wenn beide Stellsignale Stell_{oben} 9A und Stell_{unten} 9B zurückgesetzt sind. Der PLL-Regelkreis weist auch in diesem Ausführungsbeispiel ein kontrollierbares Verhalten auf, da keine unerwünschten Frequenzsprünge und somit Instabilitäten im Phasen-/Frequenz-Regelkreis auftreten.

Ansprüche

1. Phasen-/Frequenzregelkreis (1) mit einem Phasen-/Frequenzkomparator (8) und einem Frequenzoszillator (10), wobei der Phasen-/Frequenzkomparator (8) zwei flankengetriggerte Speicherglieder (13, 14) aufweist, die jeweils mit einer Flanke eines ggf. geteilten Referenzfrequenz-Signals (4) des Phasen-/Frequenzregelkreises (1) und einer Flanke eines ggf. geteilten Ausgangsfrequenz-Signals (6) des Phasen-/Frequenzregelkreises (1) gesetzt werden und jeweils mit einem Ausgangssignal (16) einer Rücksetzlogik-Einheit (15) zurückgesetzt werden, deren Eingänge von den Ausgangssignalen (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) gespeist sind, **dadurch gekennzeichnet**, dass das Ausgangssignal (16) der Rücksetzlogik-Einheit (15) erst dann aktiviert ist, wenn beide Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) aktiviert sind, und erst dann deaktiviert ist, wenn beide Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) deaktiviert sind.
2. Phasen-/Frequenzregelkreis nach Anspruch 1, **dadurch gekennzeichnet**, dass die Rücksetzlogik-Einheit (15) mittels eines asynchronen pegelgetriggerten RS-Speichergliedes (17; 24) realisiert ist.
3. Phasen-/Frequenzregelkreis nach Anspruch 2, **dadurch gekennzeichnet**, dass das asynchrone pegelgetriggerte RS-Speicherglied (24) der Rücksetzlogik-Einheit (15) bei nicht-invertierten Eingangssignalen gesetzt oder zurückgesetzt wird.
4. Phasen-/Frequenzregelkreis nach Anspruch 2, **dadurch gekennzeichnet**,

dass das asynchrone pegelgetriggerte RS-Speicherglied (17) der Rücksetzlogik-Einheit (15) bei invertierten Eingangssignalen gesetzt oder zurückgesetzt wird.

- 5 5. Phasen-/Frequenzregelkreis nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet,
dass der Ausgang (Q) des mit dem ggf. geteilten Referenzfrequenz-Signal (3) an seinen Eingang (Clk) beaufschlagten flankengetriggerten Speichergliedes (13) dem Frequenzoszillator (10) zur Erhöhung der Frequenz des Ausgangsfrequenz-Signals (6) und der Ausgang (Q) des mit dem ggf. geteilten Ausgangsfrequenz-Signals (6) an seinem Eingang (Clk) beaufschlagten flankengetriggerten Speichergliedes (14) dem Frequenzoszillator (10) zur Reduzierung der Frequenz des Ausgangsfrequenz-Signals (6) zugeführt ist.
- 20 6. Phasen-/Frequenzregelkreis nach einem der Ansprüche 1 oder 5,
dadurch gekennzeichnet,
dass die Signale (9A, 9B) am Ausgang (Q) der beiden flankengetriggerten Speicherglieder (13, 14) unter Zwischenschaltung eines Schleifenfilters (11) zur Stabilisierung des Phasen-/Frequenzregelkreises (1) auf den Frequenzoszillator (10) geschaltet sind.
- 30 7. Phasen-/Frequenzregelkreis nach einem der Ansprüche 1 bis 6,
dadurch gekennzeichnet,
dass die Frequenz des Referenzfrequenz-Signals (2) des Phasen-/Frequenzregelkreises (1) vor dem Eingang (Clk) des Phasen-/Frequenzkomparators (8) mittels eines Frequenzteilers (2) um den Faktor N reduziert wird.
- 35 8. Phasen-/Frequenzregelkreis nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet,

dass die Frequenz des Ausgangsfrequenz-Signals (6) des Phasen-/Frequenzregelkreises (1) vor dem Eingang (Clk) des Phasen-/Frequenzkomparators (8) mittels eines Frequenzteilers (5) um den Faktor M reduziert wird.

5

9. Phasen-/Frequenzkomparator (8) für einen Phasen-/Frequenzregelkreis (1) mit zwei flankengetriggerten Speichergliedern (13, 14), die jeweils mit einer Flanke eines ggf. geteilten Referenzfrequenz-Signals (3) des Phasen-/Frequenzregelkreises (1) und einer Flanke eines ggf. geteilten Ausgangsfrequenz-Signals (6) des Phasen-/Frequenzregelkreises (1) gesetzt werden und jeweils mit einem Ausgangssignal (16) einer Rücksetzlogik-Einheit (15) zurückgesetzt werden, deren Eingänge von den Ausgangssignalen (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) gespeist sind,
dadurch gekennzeichnet,

10

15

20

dass das Ausgangssignal (16) der Rücksetzlogik-Einheit (15) erst dann aktiviert ist, wenn beide Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) aktiviert sind, und erst dann deaktiviert ist, wenn beide Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) deaktiviert sind.

25

10. Phasen-/Frequenzkomparator nach Anspruch 9,
dadurch gekennzeichnet,
dass die Rücksetzlogik-Einheit (15) mittels eines asynchronen pegelgetriggerten RS-Speichergliedes (17, 24) realisiert ist.

30

11. Phasen-/Frequenzkomparator nach Anspruch 10,
dadurch gekennzeichnet,
dass das asynchrone pegelgetriggerte RS-Speicherglied (24) der Rücksetzlogik-Einheit (15) bei nicht-invertierten Eingangssignalen gesetzt oder zurückgesetzt wird.

35

12. Phasen-/Frequenzkomparator nach Anspruch 10,
dadurch gekennzeichnet,

dass das asynchrone pegelgetriggerte RS-Speicherglied (17) der Rücksetzlogik-Einheit (15) bei invertierten Eingangssignalen gesetzt oder zurückgesetzt wird.

Zusammenfassung

Der Phasen-/Frequenzkomparator (8) besteht aus zwei
5 flankengetriggerten Speichergliedern (13, 14), die jeweils
mit einer Flanke eines Referenzfrequenz-Signals (3) eines
Phasen-/Frequenzregelkreises (1) und einer Flanke eines
Ausgangsfrequenz-Signals (6) des Phasen-/Frequenzregel-
kreises (1) gesetzt werden und jeweils mit einem
10 Ausgangssignal (16) einer Rücksetzlogik-Einheit (15)
zurückgesetzt werden. Das Ausgangssignal (16) der
Rücksetzlogik-Einheit (15) ist erst dann aktiviert, wenn
die beiden Ausgangssignale (9A, 9B) der beiden
flankengetriggerten Speicherglieder (13, 14) aktiviert
15 sind, und ist erst dann deaktiviert, wenn die beiden
Ausgangssignale (9A, 9B) der beiden flankengetriggerten
Speicherglieder (13, 14) deaktiviert sind.

(Fig. 3 und 4)

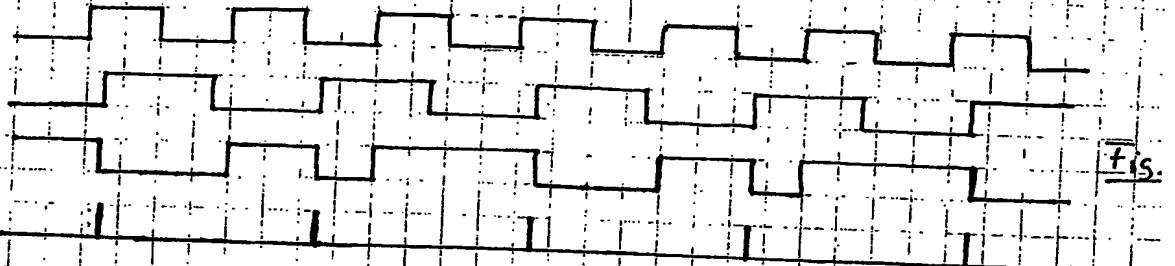
$$f_{\text{soll}} > f_{\text{ist}} \quad ; \quad \varphi_{\text{soll}} = \varphi_{\text{ist}}$$

Referenzfrequenz
signal

Ausgangsfrequenz
signal

Stell oben

Stell unten



f_{is}

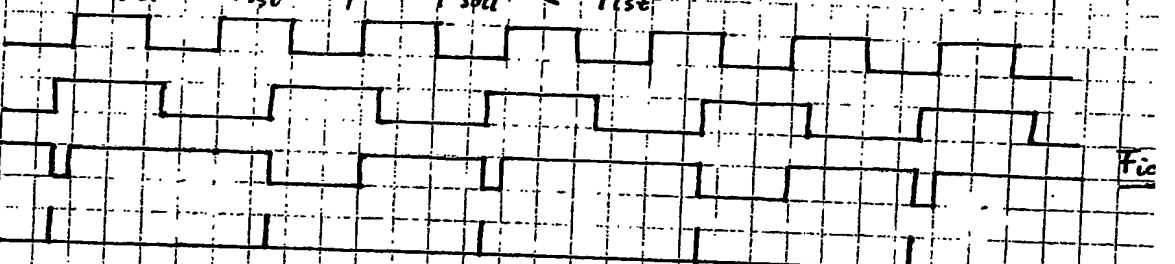
$$f_{\text{soll}} > f_{\text{ist}} \quad ; \quad \varphi_{\text{soll}} < \varphi_{\text{ist}}$$

Referenzfrequenz
signal

Ausgangsfrequenz
signal

Stell oben

Stell unten



f_{is}

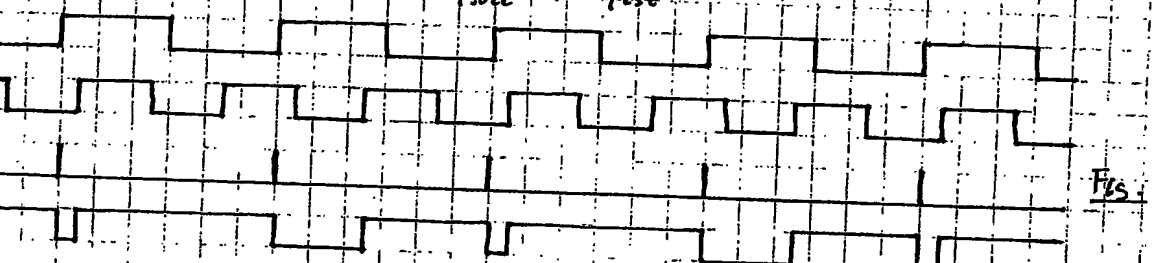
$$f_{\text{soll}} < f_{\text{ist}} \quad ; \quad \varphi_{\text{soll}} > \varphi_{\text{ist}}$$

Referenzfrequenz
signal

Ausgangsfrequenz
signal

Stell oben

Stell unten



f_{is}

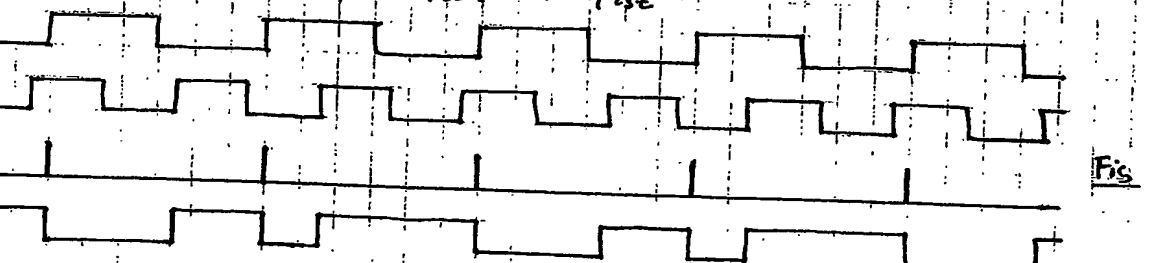
$$f_{\text{soll}} < f_{\text{ist}} \quad ; \quad \varphi_{\text{soll}} < \varphi_{\text{ist}}$$

Referenzfrequenz
signal

Ausgangsfrequenz
signal

Stell oben

Stell unten



f_{is}

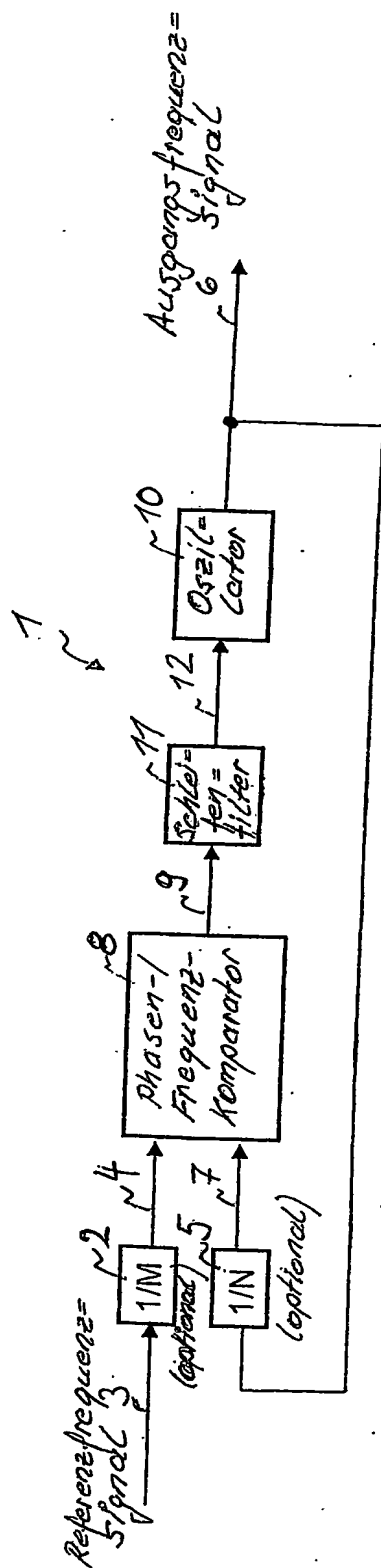


Fig. 2

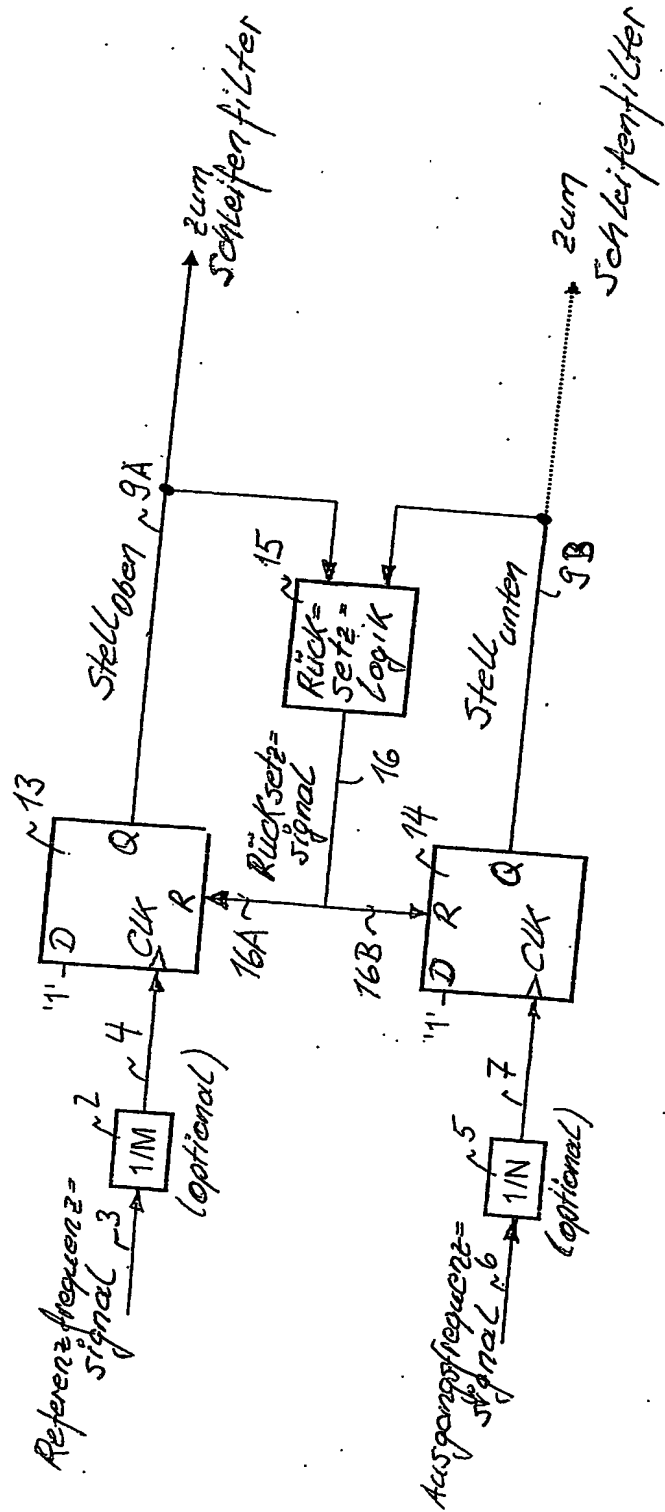


Fig. 3

15

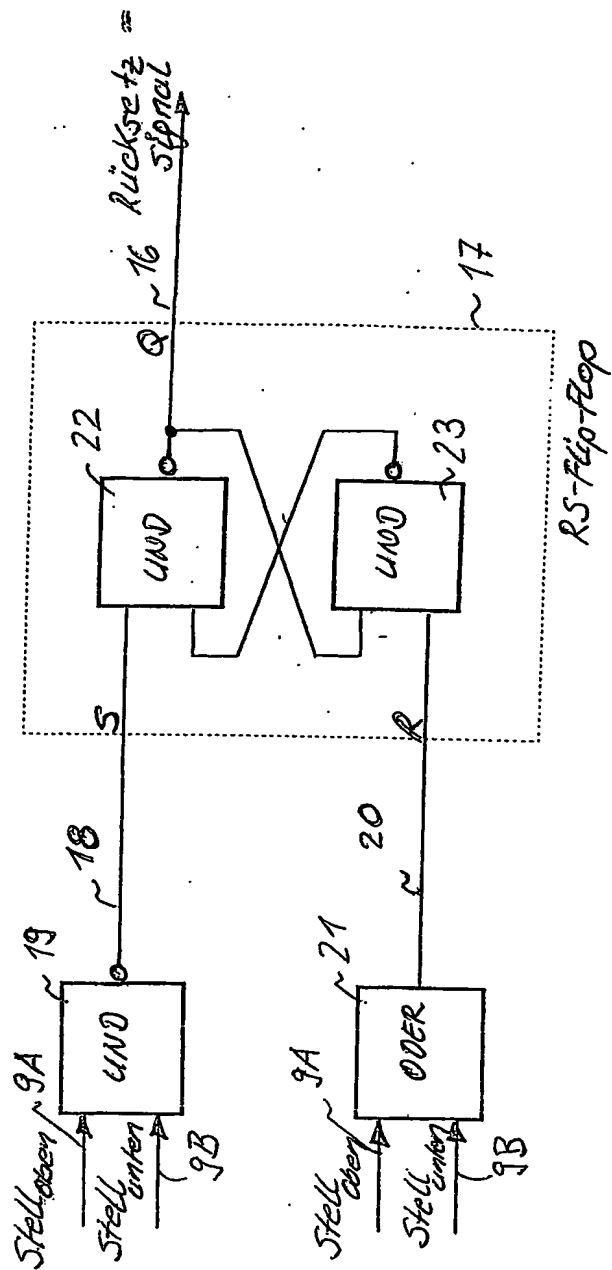


Fig. 4

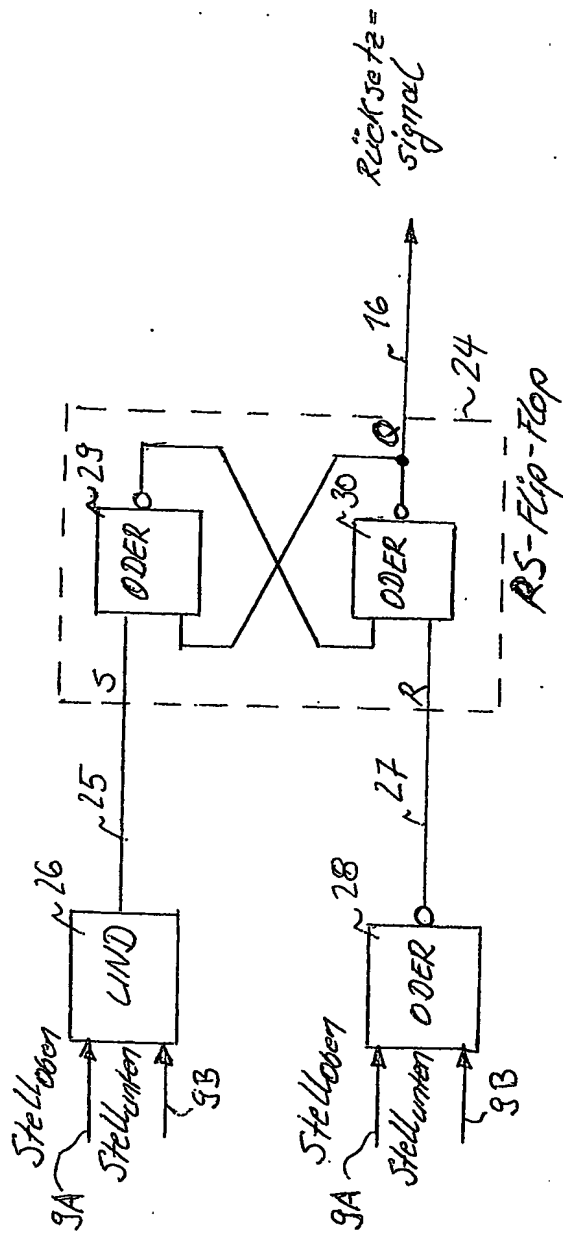


Fig. 5

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**